

MICROARQUITECTURA INTEL CORE 2



MICROARQUITECTURA INTEL CORE 2

1. Introducción

Tras el desastre de los últimos Pentium 4 y Pentium D, Intel se dio cuenta de que no podían seguir por el mismo camino ya que para intentar igualar a su rival de mercado AMD era necesario subir la velocidad en cuanto a GHz se refiere (alcanzando los 3.73 GHz), esto hacía que los procesadores consumieran demasiada energía y fuese muy difícil mantenerlos a una temperatura adecuada.

Intel también sacó un nuevo socket el LGA775 (usado actualmente) para tener una cierta ventaja sobre AMD, ya que los nuevos procesadores que usaban este socket eran compatibles con las memorias DDR2, mientras AMD aún seguía usando las memorias DDR.

A pesar del continuo esfuerzo de Intel por igualar en rendimiento a los K8 de AMD su vieja arquitectura NetBurst era insuficiente para conseguirlo. Todas estas circunstancias hicieron a Intel aprender de sus errores y buscar un cambio en la optimización de sus procesadores.

Para ello Intel empezó con el diseño de una nueva arquitectura denominada “Microarquitectura Core” una nueva gama de procesadores que recibirían el nombre de Core 2. Diseñados por el quipo de Intel israelí, el mismo equipo que desarrollo el Pentium M, estos ingenieros realizaron su mayor esfuerzo en aumentar el rendimiento de los nuevos procesadores, aunque se obtuvieron otras ventajas como un consumo de energía reducido y una baja disipación de calor.

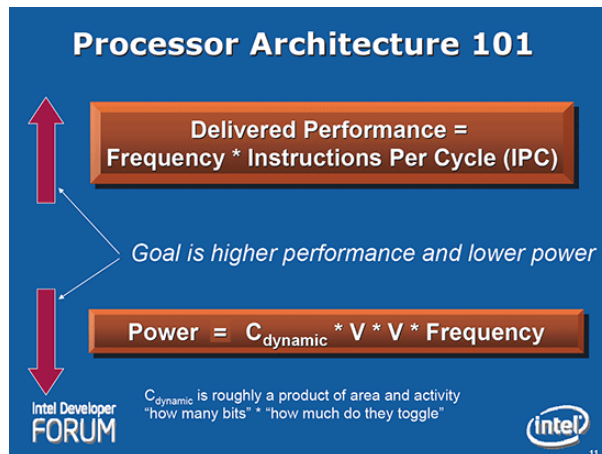
2. Microarquitectura “Core”

2.1 Aspectos básicos

Para aumentar el rendimiento de un procesador podemos o subir la velocidad de reloj o aumentar el número de instrucciones procesadas por ciclo de reloj.

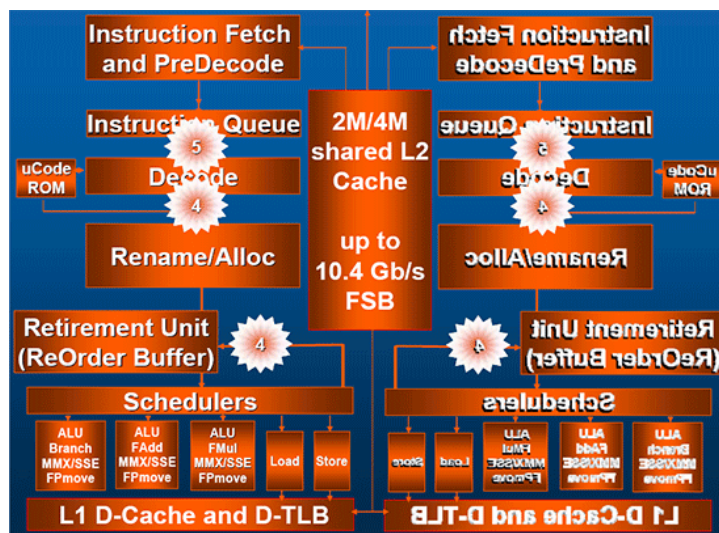
Por otra parte también podemos reducir el número de operaciones necesarias para realizar la misma cantidad de datos. Un ejemplo de esto son las instrucciones SIMD SSE, SSE2, SSE3, SSSE3 y SSE4.1.

El consumo de energía es la frecuencia del procesador multiplicado por V_{core}^2 del procesador, y con una constante capacidad dinámica determinada por la microarquitectura de CPU y depende del número de transistores y su actividad durante las operaciones de la CPU.



Como resultado podemos decir que los desarrolladores vieron la necesidad de establecer un equilibrio entre el número de instrucciones que la CPU puede procesar por ciclo de reloj y la capacidad dinámica con el fin de optimizar la microarquitectura para que exista una mejor relación entre rendimiento y consumo de energía. Todo esto no depende tanto de la microarquitectura, sino principalmente del proceso de fabricación, cuanto menor sean los nanómetros menor será el calentamiento que sufra el procesador y menor será el consumo del mismo.

Basándose en estos requisitos los ingenieros de Intel decidieron abandonar la arquitectura NetBurst a favor de la microarquitectura de los procesadores móviles que a su vez estaban basados en los Pentium Pro, Pentium II y Pentium III. Esta arquitectura cuenta con un gran rendimiento y son muy estables en cuanto a consumo. Basándose en todo esto se consiguió mejorar la microarquitectura para ganar en rendimiento y disminuir en consumo, y en temperatura.



Los procesadores Core 2, son capaces de procesar hasta 4 instrucciones por ciclo de reloj, tienen 14 etapas de pipeline (lista de todas las etapas que una determinada instrucción debe pasar con el fin de ser plenamente ejecutadas). Frente a 20 etapas de pipeline del Pentium 4 original y 31 etapas de pipeline del Pentium 4 basado en el Prescott.

Hay que destacar de esta arquitectura que apoyan los 64 bits, mediante la tecnología EM64T.

Las primeras CPUs que salieron tenían unas características basadas en el doble núcleo, 64 KB de caché L1 (32 KB para datos y 32 KB para instrucciones) y una memoria L2 compartida de 2 a 4 MB. En la actualidad los Core 2 Duo de última generación tienen 6 MB de caché L2 y en el caso de los Core 2 Quad van de 6 a 12 MB de caché L2.

2.2 Las principales innovaciones

Con esta nueva arquitectura Intel combinó los elementos clave de las arquitecturas que ya disponía con unas innovaciones diseñadas para optimizar el funcionamiento, la eficacia de energía, y la adaptabilidad de procesadores. Estas innovaciones son:

- Intel® Wide Dynamic Execution
- Intel® Intelligent Power Capability
- Intel® Advanced Smart Cache
- Intel® Smart Memory Access
- Intel® Advanced Digital Media Boost

A continuación pasaremos a hablar de cada una de ellas por separado.

2.2.1 Intel Wide Dynamic ejecución

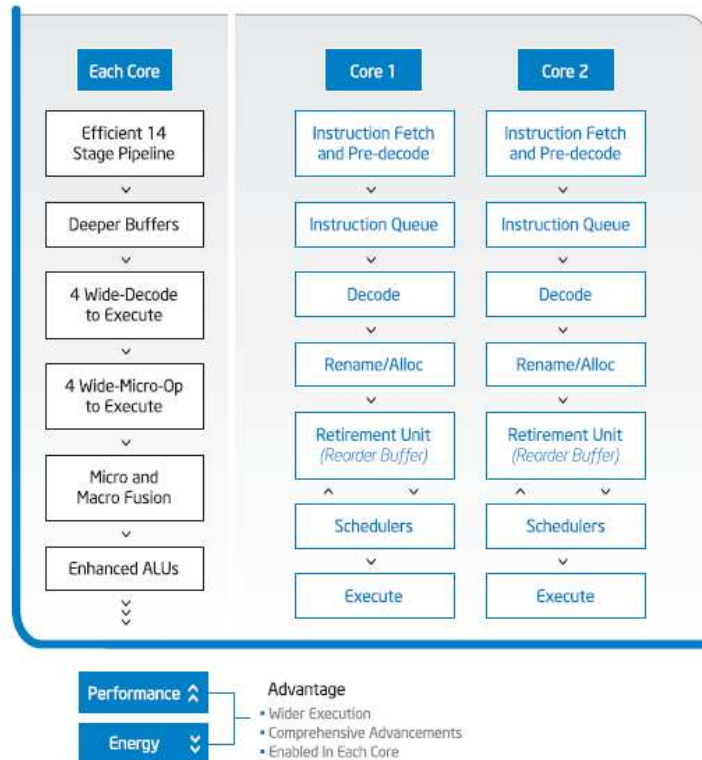
Intel implica principalmente nueva microarquitectura superescalar P6 que podría analizar el flujo de datos y permite especular y comandos de ejecución fuera de orden de ejecución de comandos. Intel cuando empieza a desarrollar esta arquitectura comienza a hablar de una mayor dinámica de ejecución que podría realizar en más profundidad el análisis de flujo de datos y destacó la mejora de los algoritmos de predicción de rama.

Se convirtió en el gran futuro porque los procesadores Intel son capaces de procesar más comandos por ciclo de reloj que sus predecesores. Al añadir un decodificador adicional y unidades de ejecución en cada núcleo de Intel habilitado cada uno de los núcleos para recoger y procesar hasta 4 instrucciones x86 simultaneas, mientras que otros procesadores Intel y AMD sólo pueden trabajar con tres instrucciones por ciclo de reloj. La microarquitectura core 2 dispone de 6 puertos (uno de carga, dos para guardar y tres puertos universales) por un período de cuatro decodificadores (un complejo de instrucciones y tres sencillos para las instrucciones).

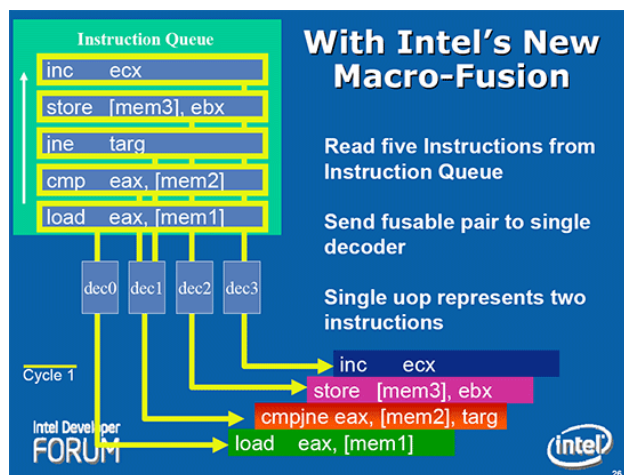
Por otra parte, la microarquitectura Core adquiere un sistema más avanzado de predicción y un buffers más grande que permite involucrarse en las distintas etapas de análisis de datos para optimizar la ejecución.

Además del gran éxito de micro-ops la tecnología de fusión (el comando x86 se divide en microinstrucciones independientes, estas sucesiones de microinstrucciones juntas garantizan que la CPU las ejecutará en cierto orden, viendo como un único comando todo el camino hasta la fase de ejecución).

Intel® Wide Dynamic Execution



En esta nueva arquitectura se usa también lo que Intel ha llamado **Macro-fusión**. Esta tecnología permite aumentar el número de comandos procesados por ciclo de reloj. Para ello se unen instrucciones x86 sucesivas parejas como una sola micro-operación. El planificador trata esta microinstrucción y luego ejecuta como un único comando. De esta manera se puede ejecutar el código con mayor rapidez. Esto mejora el rendimiento de la CPU y reduce el consumo de la CPU.



2.2.2 Intel Intelligent Power Capability

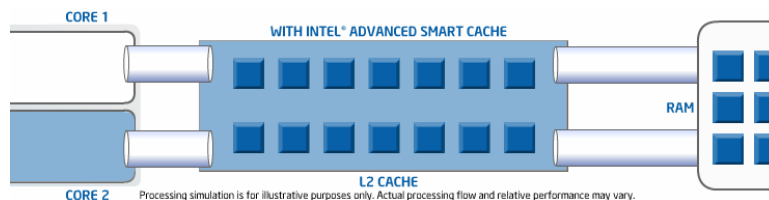
Con la microarquitectura Core 2, se optimizó al máximo el rendimiento por vatio, teniendo por supuesto especial hincapié en disipación de calor y consumo de energía del procesador. Disponiendo de las tecnologías mejoradas Intel SpeedStep y Enhanced Halt State.

Las CPUs Core 2 son capaces de desactivar los subsistemas no utilizados en un momento determinado, estos procesadores se descomponen en un menor nivel de unidades, para ello cada uno de los núcleos se dividen en una gran cantidad de unidades de buses alimentados por separado gracias a la ayuda de los circuitos de lógica. La principal ventaja que poseen estos procesadores es que estos circuitos no suponen ningún aumento del tiempo de respuesta de la CPU para reactivar estas unidades inhabilitadas.

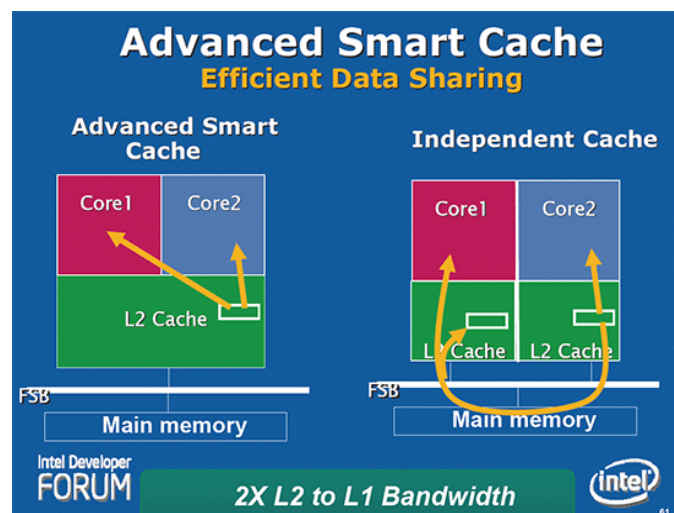
Al existir la posibilidad de desactivar diferentes unidades de la CPU sobre la marcha la forma de medir la temperatura que alcanza el procesador cambia, para ello se equipan con unos diodos térmicos en el centro cerca de los puntos que tienden a calentarse más. Para procesar todos los datos térmicos de la CPU disponen de un circuito especial que determina la temperatura más alta, y esta es la temperatura que se informa.

2.2.3 Intel Advanced Smart Cache

La microarquitectura Core 2 está diseñada para los multi-core desde el principio, comparten sus caché L2 entre los núcleos.



Este sistema de caché L2 compartida entre cada par de cores tiene algunas ventajas como pueden ser que cualquier núcleo puede obtener toda la caché L2 a su disposición, sobre todo cuando uno de los núcleos se encuentra inactivo. Si los dos núcleos de trabajo al mismo tiempo, la memoria caché se reparte proporcionalmente en función de la frecuencia de solicitudes enviadas por cada núcleo para la memoria. Por otra parte, si los dos núcleos de trabajo sincronizada con los mismos datos, estos datos serán almacenados sólo una vez en la caché L2 compartida de memoria.



La segunda ventaja significativa de una memoria de caché L2 compartida es que reduce la carga de trabajo en el sistema de memoria y en el procesador. En este

caso, el sistema no tiene para controlar y garantizar la coherencia de la memoria caché de los diferentes núcleos. Antes de extraer los datos de la caché L2 para su posterior procesamiento, cada procesador debe asegurarse de que los datos no han sido modificados por el segundo núcleo. Y si los datos se ha modificado, entonces la memoria caché necesita ser actualizado de inmediato.

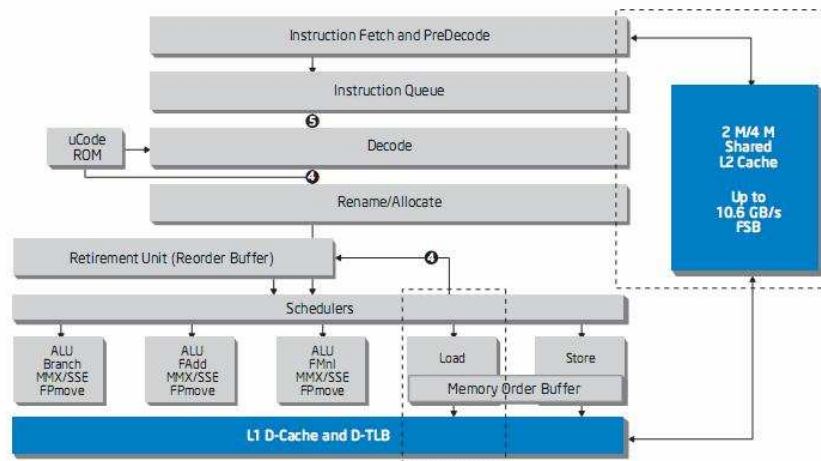
Los Core 2 tienen un especial control en el intercambio de datos entre los cachés L1 de cada núcleo del procesador a través de la caché L2 compartida. Como resultado, los núcleos trabajan de manera más eficiente para realizar una tarea en común.

En el caso de los Core 2 Quad poseen una memoria caché L2 compartida para cada dos cores. Por ejemplo si tuviésemos el Q6600 tendríamos 4 MB de caché L2 por cada dos cores por lo que la memoria total de caché L2 sería 2 x 4MB, por lo tanto el procesador dispone de un total de 8 MB de caché L2.

2.2.4 Intel Smart Memory Access

En la arquitectura Core 2 se ha ido desarrollando una tecnología que permite reducir el tiempo que tarda el procesador en acceder a los datos procesados. Para conseguir esto se reduce el tiempo de latencia de la memoria L1 y L2.

La Microarquitectura Core permite la ejecución de seis partes independientes de unidades prefetch de datos. Dos unidades de prefetch de datos de la memoria en la caché L2 compartida, otros dos unidades de trabajo en la caché L1 de cada uno de los núcleos de CPU. Tratamos de cargar los datos en la memoria caché del procesador, incluso antes de la correspondiente solicitud.



La tecnología de **Memory Disambiguation** (o Memoria de Desambiguación) se destina a mejorar la eficiencia de algoritmos para leer y escribir los datos en la memoria. El apoyo a los procesadores fuera de la ejecución de órdenes no permite comenzar la lectura, hasta que los datos de ahorro se ha completado. Se explica por el hecho de que el programador no sabe acerca de la dependencia de la carga y los datos guardados.

Sin embargo, muy a menudo las sucesivas instrucciones de guarda y carga no están conectadas entre sí de ninguna manera. La razón es la falta de capacidad para cambiar su orden de ejecución, disminuyendo a veces la carga sobre la ejecución de

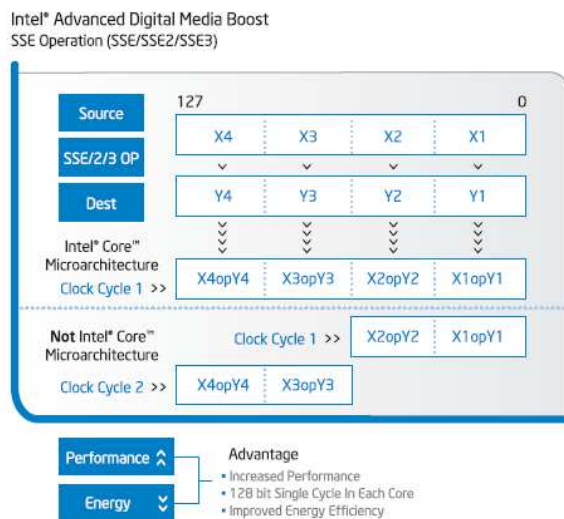
unidades lo que reduce la eficiencia global de la CPU. La tecnología de la “Memoria de desambiguación” se destina a resolver este problema. Soporta algoritmos especiales que detectan la conexión entre sucesivos comandos de guarda y carga con muy alta probabilidad y, por tanto, permite la aplicación de fuera de la ejecución de órdenes a estos comandos también.

De esta forma, si el algoritmo de la memoria de desambiguación funciona correctamente, la CPU puede utilizar sus propias unidades de ejecución de manera más eficiente. Si la dependencia entre las instrucciones para guardar y para cargar los datos se ha determinado incorrectamente, la memoria de desambiguación debe detectar el conflicto, cargar los datos correctos y volver a iniciar la ejecución del código.

El uso de algoritmos de prefetch de datos junto con la tecnología de la memoria de desambiguación aumenta la eficiencia del procesador al trabajar con la memoria. No sólo reduce los posibles retrasos y de ralentí de las unidades de ejecución del procesador, sino que también reduce la latencia de memoria durante el acceso y utiliza el ancho de banda del bus de manera más eficiente.

2.2.5 Intel Advanced Digital Media Boost

Un enfoque para la mejora Core Microarchitecture implícita la modificación de las unidades de instrucción SIMD (SSE, SSE2, SSE3, SSSE3, SSE4.1). Las aplicaciones tales como imagen, vídeo y edición de sonido, la encriptación de datos, tareas científicas y financieras, utilizan una gran cantidad de instrucciones SSE que apoyan todo tipo de operandos 128 bits (enteros y vectores, así como de alta precisión los valores reales).



Además de acelerar la ejecución de instrucciones SIMD, Intel ha revisado una vez más el sistema de comando SSE. Sacando en su última versión de los Core 2 con nombre en clave Penryn las instrucciones SSE4.1.

2.3 Microarquitectura Core 2

Caché de datos L1	32 KB
Instrucciones de caché L1	32 KB
L1 latencia	3 ciclos de reloj
L1 asociatividad	8-way
L1 TLB tamaño	Instrucciones: 128 entradas Datos: 256 entradas
Max. L2 cache	6MB para cada 2 cores
Bus de la cache L2	256 bit
Pipeline	14 etapas
Decodificadores x86	1 complejo y 3 simples
Unidades de ejecución de enteros	3 ALU + 2 AGU
Unidades Load/Store	2 (1 Load + 1 Store)
Unidades de ejecución de FP	FADD + FMUL + FLOAD + FSTORE
Unidades de ejecución SSE	3 (128 bits)

3. Gama de procesadores Core 2

3.1 Procesadores Allendale

Son la gama baja de los Core 2, estos procesadores de dos cores tienen un menor FSB que sus hermanos mayores, van desde el 1.8 al 2.6 GHz,

Modelo Core 2 Duo	Velocidad del procesador	Caché L2 (MB)	FSB (MHz)
E4300	1.80 GHz	2	800
E4400	2.00 GHz	2	800
E4500	2.20 GHz	2	800
E4600	2.40 GHz	2	800
E4700	2.60 GHz	2	800

3.2 Procesadores Conroe

Es la versión de dos cores del Core 2, fabricado en 65nm con una memoria caché L2 de 2 a 4 MB y un FSB de 1066 a 1333 MHz.

Modelo Core 2 Duo	Velocidad del procesador	Caché L2 (MB)	FSB (MHz)
E6300	1.86 GHz	2	1066
E6320	1.86 GHz	4	1066
E6400	2.10 GHz	2	1066
E6420	2.10 GHz	4	1066
E6550	2.33 GHz	4	1333
E6600	2.40 GHz	4	1066
E6700	2.66 GHz	4	1066
E6750	2.66 GHz	4	1333
E6800	2.93 GHz	4	1066
E6850	3.00 GHz	4	1333

3.3 Procesadores Kentsfield

Los procesadores Kentsfields son la versión de cuatro cores del Core 2, fabricado en 65nm con una memoria caché L2 de 8 MB y un FSB de 1066 a 1333 MHz.

Modelo Core 2 Quad	Velocidad del procesador	Caché L2 (MB)	FSB (MHz)
Q6600	2.40 GHz	2x4	1066
Q6700	2.66 GHz	2x4	1066
QX6750	2.66 GHz	2x4	1066
QX6800	2.93 GHz	2x4	1066
QX6850	3.00 GHz	2x4	1333

3.4 Los modelos Penryn

Los últimos procesadores Intel son los denominados Penryn basados en 45nm que han visto la luz en el mes de Noviembre del 2007. Estos procesadores son los últimos en usar el socket 775.

Son una versión más avanzada de la arquitectura Core 2, alcanzando un rendimiento mayor, 20% en juegos y 45% en tareas de coma flotante, según Intel, y proporcional a la frecuencia de reloj. Hay que tener en cuenta que este incremento del 45% se refiere a tareas muy concretas que requieren de un gran ancho de banda.

Con dos denominaciones distintas podemos encontrar los modelos Wolfdale (C2D) y los Yorkfield (C2Q).

3.4.1 Procesadores Yorfield

Es la versión de Core 2 Quad de Penryn. Los procesadores Yorfield son la versión de cuatro cores del Core 2 fabricado en 45nm, con una memoria caché L2 de 6 a 8 MB y un FSB de 1333 a 1600 MHz.

Modelo Core 2 Quad	Velocidad del procesador	Caché L2 (MB)	FSB (MHz)
Q9300	2.50 GHz	2x3	1333
Q9400	2.66 GHz	2x3	1333
Q9450	2.66 GHz	2x6	1333
Q9550	3.00 GHz	2x6	1333
Q9650	3.00 GHz	2x6	1333
QX9650	3.00 GHz	2x6	1333
QX9770	3.20 GHz	2x6	1600
QX9775	3.20 GHz	2x6	1600

3.4.2 Procesadores Wolfdale

Es la versión de Core 2 Duo de Penryn. El Wolfdale de doble núcleo tiene una potencia máxima de 3.33 GHz a 45nm. A continuación se detallan los modelos:

Modelo Core 2 Duo	Velocidad del procesador	Caché L2 (MB)	FSB (MHz)
E7200	2.53 GHz	3	1333
E8200	2.66 GHz	6	1333
E8300	2.83 GHz	6	1333
E8400	3.00 GHz	6	1333
E8500	3.16 GHz	6	1333
E8600	3.33 GHz	6	1333